

PTO 29 DEC 2004

10/519763  
PCT/JP03/06830

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

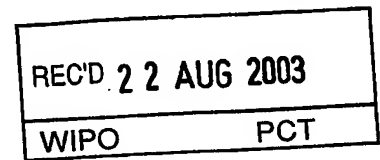
30.05.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年 7月 1日

出 願 番 号  
Application Number: 特願2002-191666  
[ST. 10/C]: [JP2002-191666]



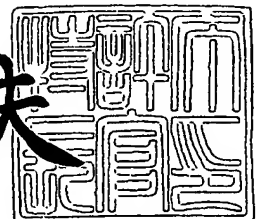
出 願 人  
Applicant(s): 株式会社日立製作所  
株式会社ルネサス北日本セミコンダクタ

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2003年 8月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H01017851

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/50

【発明者】

    【住所又は居所】 山形県米沢市大字花沢字八木橋東3の3274 日立米沢電子株式会社内

    【氏名】 嶋貫 好彦

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233583

    【氏名又は名称】 日立米沢電子株式会社

【代理人】

    【識別番号】 100080001

    【弁理士】

    【氏名又は名称】 筒井 大和

    【電話番号】 03-3366-0787

【手数料の表示】

    【予納台帳番号】 006909

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長いことを特徴とする半導体装置。

【請求項 2】 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側端部に切り欠き部が形成されていることを特徴とする半導体装置。

【請求項 3】 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の少な

くとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。

【請求項 4】 半導体チップが搭載されたタブと、

前記半導体チップを封止する封止部と、

前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるときとも前記封止部の側面に接触する封止部形成面とを有した複数のリードと、

前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、

対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが前記被実装面の内側端部間の長さより長く、かつ前記封止部形成面の内側端部に切り欠き部が形成され、さらに前記封止部形成面の少なくとも一部の幅が前記被実装面の幅より広いことを特徴とする半導体装置。

【請求項 5】 半導体チップを支持可能なタブと前記タブの周囲に配置された複数のリードとを有し、対向して配置された前記リード同士の封止部形成面の内側端部間の長さがその反対側の被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、

前記複数のリードそれぞれの前記封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、

前記半導体チップの表面電極とこれに対応する前記リードとをワイヤによって接続する工程と、

前記半導体チップおよび前記複数のワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、

各リードを切断して前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体製造技術に関し、特に、搭載可能チップサイズの拡大化に適用して有効な技術に関する。

## 【0002】

## 【従来の技術】

以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

## 【0003】

小型化を図った半導体装置として、QFN (Quad Flat Non-leaded Package) と呼ばれる半導体チップより若干大きい程度の小型半導体パッケージが開発されており、樹脂モールドによって形成された封止部の裏面の周縁部に外部端子となる複数のリードが露出して配置され、このような構造の半導体パッケージは、ペリフェラル形と呼ばれている。

## 【0004】

QFNでは、各リードが封止部の裏面に露出しており、それぞれのリードと封止用樹脂との接合面積が非常に少ないため、したがって、各リードと封止部との接合強度を高めるための工夫が種々考案されている。

## 【0005】

なお、QFNの構造については、例えば、株式会社プレスジャーナル1998年7月27日発行、「月刊Semiconductor World増刊号'99半導体組立・検査技術」、53～57頁に記載されている。

## 【0006】

## 【発明が解決しようとする課題】

ところが、前記した技術のQFNでは、図14の比較例に示すように、各リード1aの封止部3の裏面3aに露出した被実装面1dの延在方向の長さ(P)は、その反対側に配置された封止部形成面1gの長さ(Q)と比べて、 $Q \geq P$ の関係にある。

## 【0007】

これは、各リード1aの封止部形成面1gにはリード切断時のワイヤ接合部への応力付与を防止するとともに各リードの水平方向に対しての引き抜き強度を増加させるための複数の凹部1mが形成されており、したがって、封止部形成面1gの長さ(Q)が長くなり、その結果、 $Q \geq P$ の関係となっている。

**【0008】**

このような状況において客先からの要求などにより、パッケージサイズを変えずにさらに大きな半導体チップを搭載しようとした際、被実装面 1 d の延在方向の長さ (P) は、パッケージサイズごとに E I A J 規格 (Standards of Electronic Industries Association of Japan) で定められているため、パッケージサイズを固定させて考えると長さ (P) を短くすることはできない。

**【0009】**

したがって、パッケージサイズを変えずにさらに大きな半導体チップの搭載ができないことが問題となる。

**【0010】**

本発明の目的は、搭載可能チップサイズの拡大化を図る半導体装置およびその製造方法を提供することにある。

**【0011】**

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0012】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

**【0013】**

すなわち、本発明は、半導体チップが搭載されたタブと、前記半導体チップを封止する封止部と、前記封止部の裏面の周縁部に露出する被実装面と、その反対側に配置されるとともに前記封止部の側面に接触する封止部形成面とを有した複数のリードと、前記半導体チップの表面電極とこれに対応する前記リードとを接続する複数のワイヤとを有し、対向して配置された前記リード同士における前記封止部形成面の内側端部間の長さが、前記被実装面の内側端部間の長さより長いものである。

**【0014】**

また、本発明は、半導体チップを支持可能なタブと前記タブの周囲に配置され

た複数のリードとを有し、対向して配置された前記リード同士の封止部形成面の内側端部間の長さがその反対側の被実装面の内側端部間の長さより長く形成されたリードフレームを準備する工程と、前記複数のリードそれぞれの封止部形成面の内側端部によって囲まれた領域内に前記半導体チップを配置した後、前記タブに前記半導体チップを搭載する工程と、前記半導体チップの表面電極とこれに対応する前記リードとをワイヤによって接続する工程と、前記半導体チップおよび前記複数のワイヤを樹脂封止して裏面の周縁部に前記複数のリードの被実装面が露出して並ぶように封止部を形成する工程と、各リードを切断して前記リードフレームから分離する工程とを有するものである。

#### 【0015】

#### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

#### 【0016】

図1は本発明の実施の形態の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造の一例を示す平面図、図2は図1に示すQFNの構造を示す断面図、図3は図1に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図、図4は図3に示すリードの拡大部分平面図、図5は図3に示すリードの拡大部分断面図、図6は図4に示すリードのA-A線に沿った断面図、図7は図1に示すQFNの組み立てで用いられるリードフレームの構造の一例を示す部分平面図、図8は本発明の実施の形態の変形例の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造を示す平面図、図9は図8に示すQFNの構造を示す断面図、図10は図8に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図、図11は図10に示すリードの拡大部分平面図、図12は図11に示すリードの拡大部分断面図、図13は図8に示すQFNの組み立てにおけるワイヤボンディング時の半導体チップとキャピラリの間隔の一例を示す部分側面図、図14は本発明の実施の形態のQFNに対する比較例のQFNの構造を示す断面図である。

## 【0017】

図1、図2に示す本実施の形態の半導体装置は、図7に示すリードフレーム1を用い、かつこのリードフレーム1の片方の面側に樹脂モールドイングによって封止部3が形成された片面モールドの樹脂封止型の小型半導体パッケージであり、さらに、封止部3の裏面3aの周縁部に複数のリード1aの被実装面1dを露出させて配置したペリフェラル形のものでもあり、前記半導体装置の一例として、QFN5を取り上げて説明する。

## 【0018】

したがって、QFN5の各リード1aは、封止部3に埋め込まれたインナリードと、封止部3の裏面3aの周縁部に露出するアウトリードとの両者の機能を兼ねている。

## 【0019】

なお、図2に示すQFN5は、チップ搭載部であるタブ1bが、その裏面1lがハーフエッチングなどの加工で削られてリード1aの半分程度の厚さに形成されており、したがって、タブ1bの裏面1l側にも封止用樹脂がまわり込んで樹脂モールドイングが行われたものである。つまり、QFN5は、タブ1bが封止部3に埋め込まれたタブ埋め込み構造のものであるが、タブ1bの裏面1lが封止部3の裏面3aに露出するタブ露出構造であってもよい。

## 【0020】

さらに、QFN5は、タブ1bの大きさが半導体チップ2の大きさより小さい小タブ構造のものであるが、QFN5は、小タブ構造に限らず、タブ1bの大きさが半導体チップ2と同等か、またはそれ以上であってもよい。

## 【0021】

図1、図2に示すQFN5の構成について説明すると、半導体チップ2を支持するチップ支持面1cを備え、かつこのチップ支持面1cに半導体チップ2が搭載されたタブ1bと、半導体チップ2が樹脂封止されて形成された封止部3と、タブ1bを支持するタブ吊りリード1eと、封止部3の裏面3aの周縁部に露出する被実装面1dとその反対側に配置されるとともに封止部3の側面3bに接触する封止部形成面1gとを有した複数のリード1aと、半導体チップ2の表面電



極であるパッド 2 a とこれに対応するリード 1 a とを接続する複数のワイヤ 4 とからなり、複数のリード 1 a のうち、対向して配置されたリード 1 a 同士における封止部形成面 1 g の内側端部 1 h 間の長さ (M) が被実装面 1 d の内側端部 1 h 間の長さ (L) より長くなるように形成されている。

#### 【0022】

すなわち、図 2 に示すように、各リード 1 a が、それぞれ対向するリード 1 a 間で、長さ (M) > 長さ (L) となるように形成されている。

#### 【0023】

したがって、各リード 1 a において封止部形成面 1 g の長さ (Q) < 被実装面 1 d の長さ (P) となっている。

#### 【0024】

これにより、各リード 1 a の封止部形成面 1 g の内側端部 1 h によって囲まれて形成されるチップ搭載領域を拡大することができ、その結果、パッケージサイズを変えることなく搭載可能チップサイズの拡大化を図ることができる。

#### 【0025】

したがって、より大きな半導体チップ 2 を搭載することができる。

#### 【0026】

ここで、図 2 に示す本実施の形態の QFN 5 と、図 1 4 に示す比較例の QFN 型半導体装置とで、それぞれの搭載可能チップサイズの最大値を比較すると、まず、図 1 4 の比較例の QFN 型半導体装置では、対向して配置されたリード 1 a 同士の被実装面 1 d の内側端部 1 h 間の長さ (L) を 3 mm とすると、封止部形成面 1 g の内側端部 1 h 間の長さ (M) は 2.9 mm であり、ダイボンダの搭載精度を考慮すると、半導体チップ 2 の縁から 0.1 mm のマージンが必要であり、搭載可能チップサイズの最大値 (N) は、長さ (M) - 0.2 mm より 2.7 mm (2.7 mm × 2.7 mm のこと) となる。

#### 【0027】

これに対して、本実施の形態の図 2 に示す QFN 5 の場合、パッケージサイズは同じとして、対向して配置されたリード 1 a 同士の被実装面 1 d の内側端部 1 h 間の長さ (L) を同じく 3 mm とすると、封止部形成面 1 g の内側端部 1 h 間

の長さ (M) は 3.2mm であり、その結果、搭載可能チップサイズの最大値 (N) は、3.0mm (3.0mm×3.0mm のこと) となる。

#### 【0028】

したがって、パッケージサイズを同じとしても、本実施の形態の図 2 に示す QFN5 の方が、図 14 に示す比較例の QFN 型半導体装置よりも大きな半導体チップ 2 を搭載できる。

#### 【0029】

また、図 2 に示す本実施の形態の QFN5 によれば、各リード 1a の封止部形成面 1g の内側端部 1h によって囲まれて形成されるチップ搭載領域を拡大することができるため、ダイボンディングの際のボンディング精度を緩和することができる。

#### 【0030】

さらに、リード 1a の封止部形成面 1g 側の内側端部 1h が被実装面 1d 側の内側端部 1h より半導体チップ 2 から逃げる方向に位置されているため、大きな半導体チップ 2 を搭載している場合に、レジン注入圧力によってチップ上下動が起こった際にもリード 1a と半導体チップ 2 との接触を防ぐことができ、チップ損傷を低減できる。

#### 【0031】

なお、図 2 に示す QFN5 では、図 4、図 5 に示すように、各リード 1a においてボンディングポイント 1f より外側で、かつモールドライン 1k より内側の領域に 1 つの凹部 1m が形成されている。

#### 【0032】

この凹部 1m は、リード切断工程でリード切断時にそのストレスがリード 1a に付与された際に、ストレスを受ける箇所であり、凹部 1m が形成されていることによってワイヤ接合部にストレスが付与されるのを防ぐことができ、リード 1a 切断時のワイヤ 4 の断線を防ぐことができる。

#### 【0033】

さらに、凹部 1m が形成されていることにより、リード 1a のパッケージ水平方向に対しての引き抜き強度を向上できる。

## 【0034】

また、図2に示すQFN5では、図3、図4および図6に示すように封止部形成面1gの少なくとも一部の幅が被実装面1dの幅より広く形成されている。つまり、図6に示すように、下側に配置される被実装面1dの幅より上側の封止部形成面1gの幅が広く形成され、リード厚み方向に対して逆台形形状を有している。

## 【0035】

これにより、リード1aのパッケージ垂直方向に対しての引き抜き強度を向上できる。

## 【0036】

また、図2に示すように、半導体チップ2は、タブ1bのチップ支持面1c上にダイボンド材（例えば、銀ペーストなど）によって固定されている。

## 【0037】

さらに、QFN5の封止部3の裏面3aの周縁部に並んで配置された外部端子であるリード1aの被実装面1dには、厚さ10 $\mu$ m程度の半田メッキ層6が形成されている。

## 【0038】

また、タブ1b、タブ吊りリード1eおよび各リード1aは、例えば、銅などの薄板材によって形成され、その厚さは、0.15～0.2mm程度である。

## 【0039】

さらに、半導体チップ2のパッド2aとこれに対応するリード1aとを接続するワイヤ4は、例えば、金線などである。

## 【0040】

また、封止部3は、モールド方法による樹脂封止によって形成され、その際用いられる封止用樹脂は、例えば、熱硬化性のエポキシ樹脂などである。

## 【0041】

次に、本実施の形態によるQFN5（半導体装置）の製造方法について説明する。

## 【0042】

まず、半導体チップ2を支持可能なタブ1bと、タブ1bを支持するタブ吊りリード1eと、タブ1bの周囲に配置された複数のリード1aとを有し、かつ対向して配置されたリード1a同士の封止部形成面1gの内側端部1h間の長さが、被実装面1dの内側端部1h間の長さより長く形成された図7に示すリードフレーム1を準備する。

#### 【0043】

すなわち、図2に示すように、各リード1aがそれぞれ封止部形成面1gの長さ(Q)<被実装面1dの長さ(P)となったリードフレーム1を準備する。

#### 【0044】

また、リードフレーム1には、図7に示すようにタブ1bおよびその周囲のリード1aを区画する切断部1jが形成されている。なお、図7に示す点線部は、モールド後のモールドライン1kである。

#### 【0045】

さらに、リードフレーム1は、1枚のリードフレーム1から複数個のQFN5を製造することが可能な短冊状の細長い多連のものであり、さらに、1枚のリードフレーム1上でマトリクス配列でQFN5を製造可能とし、したがって、1枚のリードフレーム1には、1個のQFN5に対応したパッケージ領域がマトリクス配列で複数個形成されている。

#### 【0046】

また、リードフレーム1は、例えば、銅(Cu)などによって形成された薄板材であり、その厚さは、例えば、0.15~0.2mm程度であるが、前記材料や前記厚さなどは、これらに限定されるものではない。

#### 【0047】

その後、主面2bに半導体集積回路が形成された半導体チップ2を準備し、複数のリード1aそれぞれの封止部形成面1gの内側端部1hによって囲まれた領域内のタブ1b上に半導体チップ2を配置する。

#### 【0048】

その後、この半導体チップ2の裏面2cとタブ1bのチップ支持面1cとを接合するダイボンディング(ペレットボンディングまたはチップマウントともいう

)を行う。

【0049】

すなわち、リードフレーム1のタブ1bのチップ支持面1cに半導体チップ2を搭載する。

【0050】

その際、リードフレーム1のタブ1bにダイボンド材（例えば、銀ペーストなど）を介して主面2bを上方に向けて半導体チップ2を固定する。

【0051】

続いて、図2に示すように、半導体チップ2のパッド2aとこれに対応する図4に示すリード1aの封止部形成面1gのボンディングポイント1f付近とをボンディング用のワイヤ4によってワイヤボンディングして接続する。

【0052】

その後、樹脂モールドイング（ここでは、トランスファーモールド）によって半導体チップ2および複数のワイヤ4を樹脂封止してリードフレーム1の封止部形成面1g側に封止部3を形成する（片面モールドを行う）。

【0053】

その際、封止部3の裏面3aの周縁部に複数のリード1aの被実装面1dが露出して並ぶように樹脂モールドイングを行う。

【0054】

ここでは、モールド金型のキャビティとQFN5とが1対1に対応した前記モールド金型を用いてモールドを行う。

【0055】

これによって、リードフレーム1上に複数の封止部3がマトリクス配置で形成される。

【0056】

その後、封止部3から突出する各リード1aおよびタブ吊りリード1eをリードフレーム1から切断分離するリード切断（個片化）を行う。

【0057】

ここでは、リードフレーム1の切断部1jに沿って各リード1aを切断し、図

2に示すQFN5を取得する。

【0058】

次に本実施の形態の変形例のQFN5について説明する。

【0059】

図8、図9は、変形例のQFN5を示すものであり、また、図10～図12は、変形例のQFN5の各リード1aの形状を示すものである。

【0060】

すなわち、図8、図9に示すQFN5は、図2に示すQFN5とほぼ同じ構造であるが、相違点は、各リード1aの封止部形成面1gの形状であり、各リード1aの封止部形成面1gの内側端部1hに図12に示すような切り欠き部1iが形成されている。

【0061】

つまり、各リード1aの封止部形成面1gの内側コーナ部に封止部形成面1gより下がった段差部を有する切り欠き部1iが設けられている。

【0062】

この切り欠き部1iを設けたことにより、対向して配置されたリード1a同士の封止部形成面1gの内側端部1h間の長さ(M)が、被実装面1dの内側端部1h間の長さ(L)より長く形成されており、図2に示すQFN5と同様に、各リード1aが、封止部形成面1gの長さ(Q) < 被実装面1dの長さ(P)となっている。

【0063】

なお、図9に示す変形例のQFN5では、各リード1aにおいて封止部形成面1gから一段下がった切り欠き部1iにワイヤ4を接続している。

【0064】

したがって、図13に示すように、ワイヤボンディング時にリード1aの切り欠き部1iにボンディングツールであるキャピラリ7が入り込めるように、半導体チップ2の端部とキャピラリ7との間隔(Q)を見極めて搭載可能チップサイズを設定する必要がある。

【0065】

例えば、図2に示すQFN5とパッケージサイズを同じとして、かつ前記間隔(Q)を見極めて(例えば、 $Q=0.05\text{mm}$ 程度として)搭載可能チップサイズを算出する。まず、図9に示すように、対向して配置されたリード1a同士の被実装面1dの内側端部1h間の長さ(L)を同じく3mmとすると、封止部形成面1gの内側端部1h間の長さ(M)は3.84であり、ダイボンダの搭載精度とワイヤボンダのボンダビリティを考慮すると、例えば、半導体チップ2の縁から0.32mmの-marginが必要であり、搭載可能チップサイズの最大値(N)は、長さ(M)-0.64より3.2mm(3.2mm×3.2mmのこと)となる。

#### 【0066】

この場合、リード1aの封止部形成面1gの内側端部1hに切り欠き部1iが形成されているため、図2のQFN5と比較してもさらに大きな半導体チップ2を搭載することが可能になる。

#### 【0067】

なお、図9に示す変形例のQFN5のその他の構造および組み立て方法ならびにその他の作用効果については、図2に示すQFN5のものと同様であるため、その重複説明は省略する。

#### 【0068】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0069】

例えば、前記実施の形態では、図7に示すようなパッケージ領域(切断部1jによって囲まれた領域)がマトリクス配列で複数個形成されたリードフレーム1を用いてQFN5を組み立てる場合を説明したが、半導体装置(QFN5)の組み立てとしては、前記パッケージ領域が1列に複数個並んで形成された短冊状の多連のリードフレーム1を用いて組み立ててもよい。

#### 【0070】

#### 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡

単に説明すれば、以下のとおりである。

【0071】

対向して配置されたリード同士における封止部形成面の内側端部間の長さを被実装面の内側端部間の長さより長くすることにより、各リードの封止部形成面の内側端部によって囲まれて形成されるチップ搭載領域を拡大することができ、したがって、搭載可能チップサイズを大きくすることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造の一例を示す平面図である。

【図2】

図1に示すQFNの構造を示す断面図である。

【図3】

図1に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図である。

【図4】

図3に示すリードの拡大部分平面図である。

【図5】

図3に示すリードの拡大部分断面図である。

【図6】

図4に示すリードのA-A線に沿った断面図である。

【図7】

図1に示すQFNの組み立てで用いられるリードフレームの構造の一例を示す部分平面図である。

【図8】

本発明の実施の形態の変形例の半導体装置（QFN）の構造を封止部を透過してそのフレーム構造を示す平面図である。

【図9】

図8に示すQFNの構造を示す断面図である。



## 【図10】

図8に示すQFNの組み立てで用いられるリードフレームのリードの構造を示す拡大部分底面図である。

## 【図11】

図10に示すリードの拡大部分平面図である。

## 【図12】

図11に示すリードの拡大部分断面図である。

## 【図13】

図8に示すQFNの組み立てにおけるワイヤボンディング時の半導体チップとキャピラリの間隔の一例を示す部分側面図である。

## 【図14】

本発明の実施の形態のQFNに対する比較例のQFNの構造を示す断面図である。

## 【符号の説明】

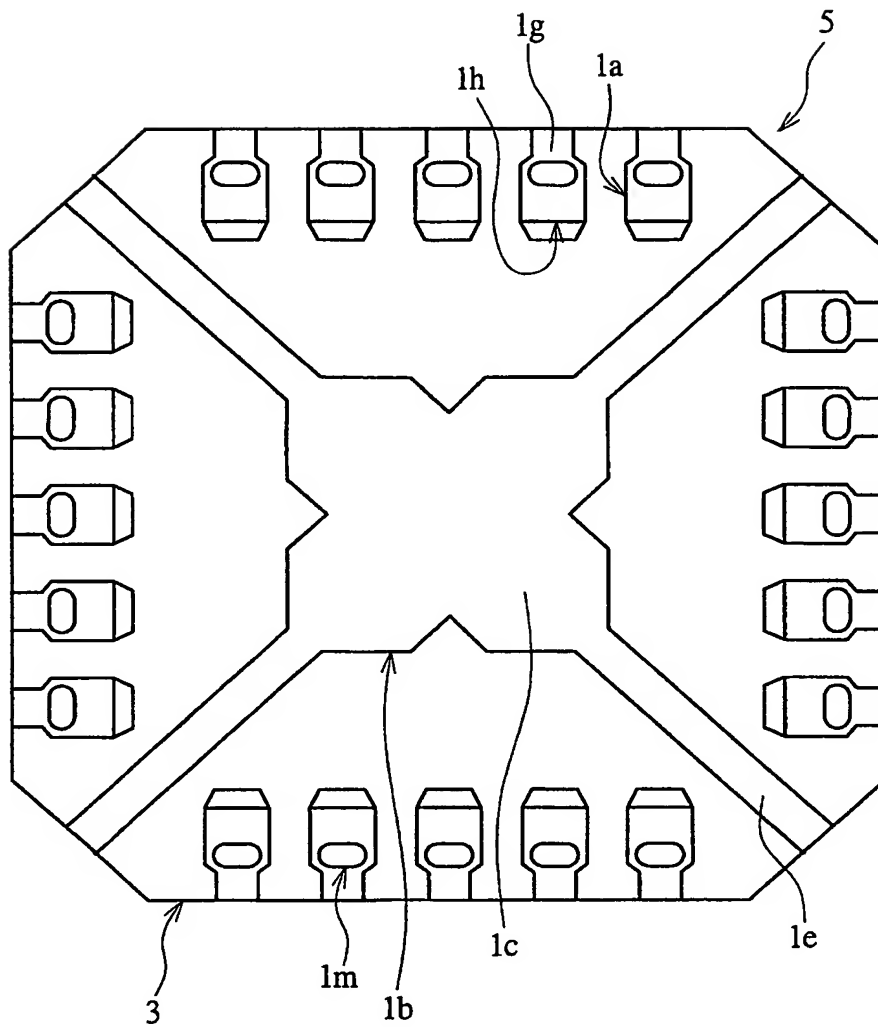
- 1 リードフレーム
- 1 a リード
- 1 b タブ
- 1 c チップ支持面
- 1 d 被実装面
- 1 e タブ吊りリード
- 1 f ボンディングポイント
- 1 g 封止部形成面
- 1 h 内側端部
- 1 i 切り欠き部
- 1 j 切断部
- 1 k モールドライン
- 1 l 裏面
- 1 m 凹部
- 2 半導体チップ

- 2 a パッド (表面電極)
- 2 b 主面
- 2 c 裏面
- 3 封止部
- 3 a 裏面
- 3 b 側面
- 4 ワイヤ
- 5 QFN (半導体装置)
- 6 半田メッキ層
- 7 キャピラリ

【書類名】 図面

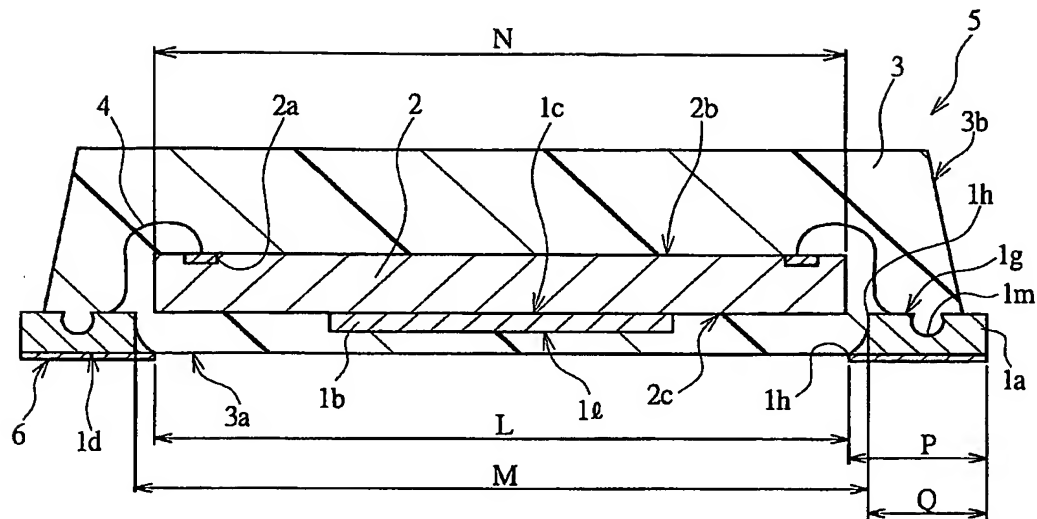
【図 1】

図 1



【図2】

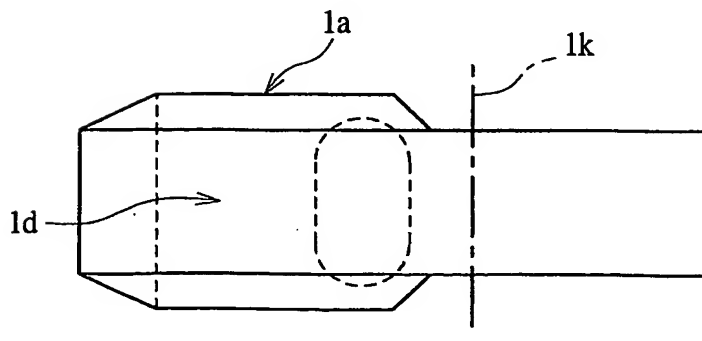
図 2



- |            |               |               |
|------------|---------------|---------------|
| 1a: リード    | 2: 半導体チップ     | 4: ワイヤ        |
| 1b: タブ     | 2a: パッド(表面電極) | 5: QFN(半導体装置) |
| 1d: 被実装面   | 3: 封止部        |               |
| 1g: 封止部形成面 | 3a: 裏面        |               |
| 1h: 内側端部   | 3b: 側面        |               |

【図3】

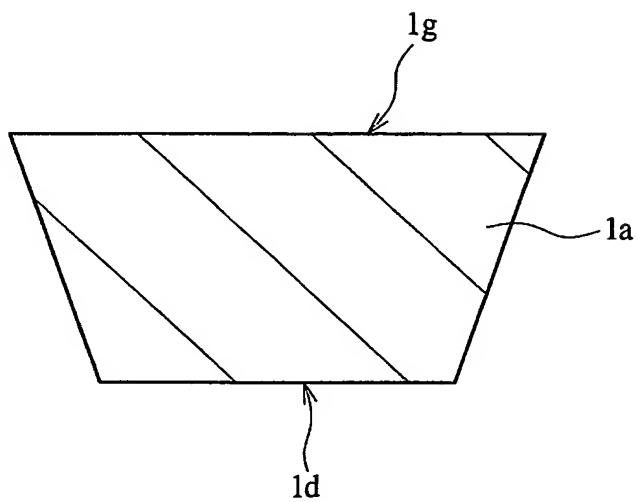
図 3





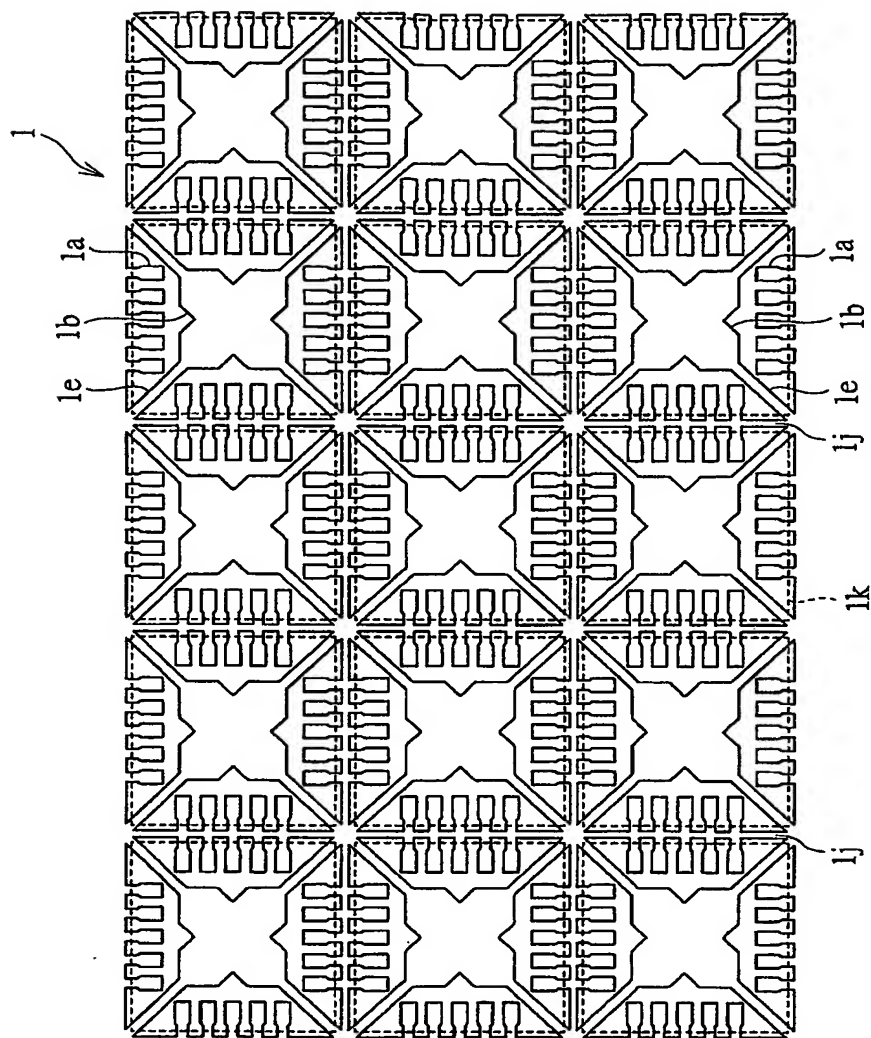
【図6】

図 6



【図 7】

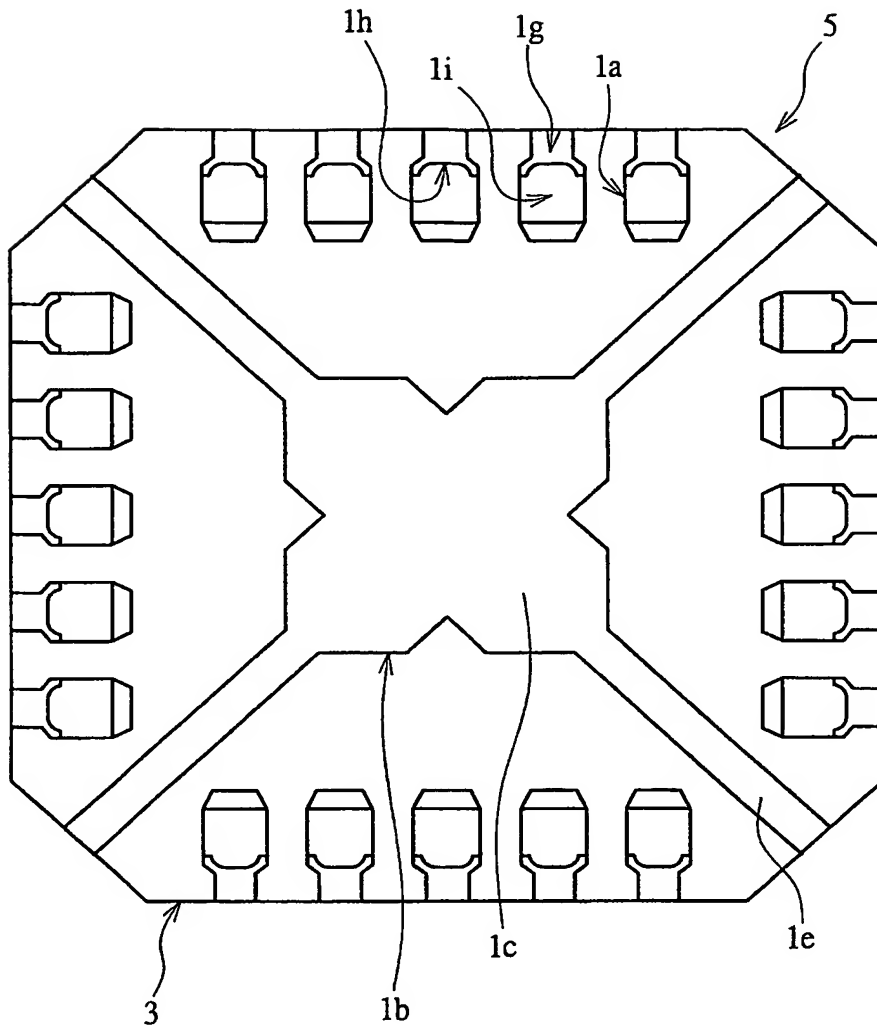
図 7



1: リードフレーム

【図8】

図 8

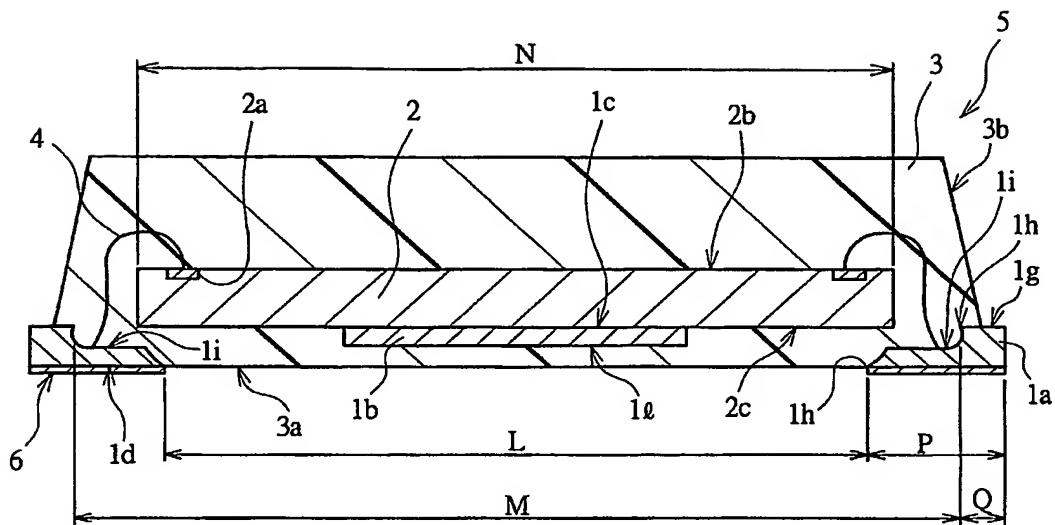


1i: 切り欠き部



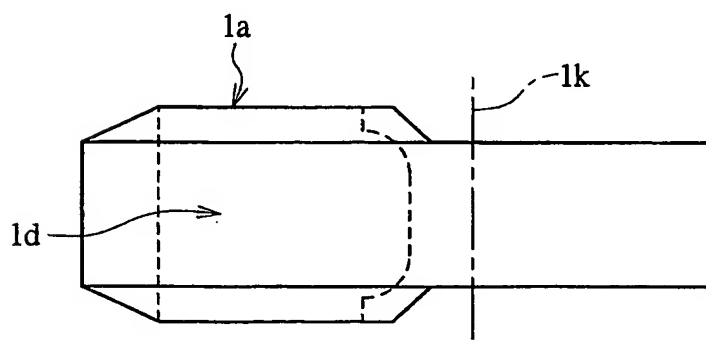
【図 9】

図 9



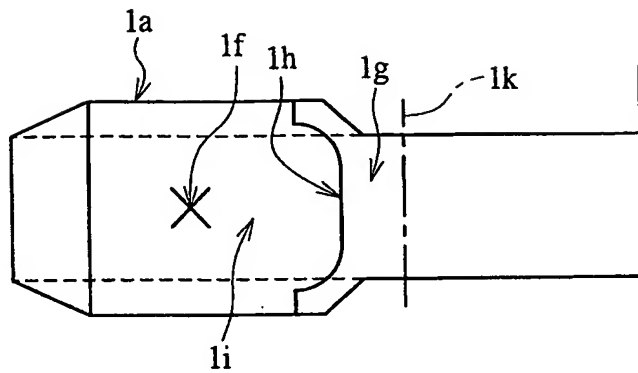
【図 10】

図 10



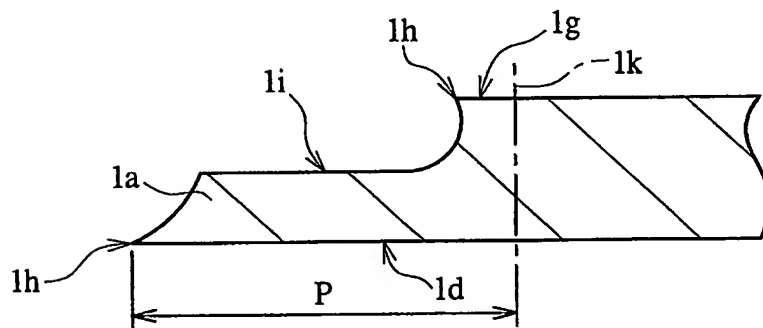
【図 11】

図 11



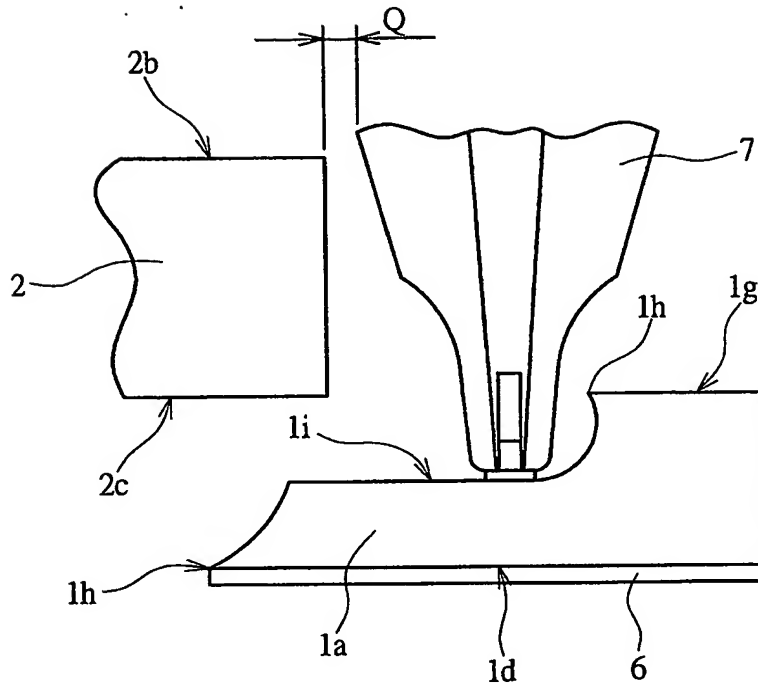
【図 12】

図 12



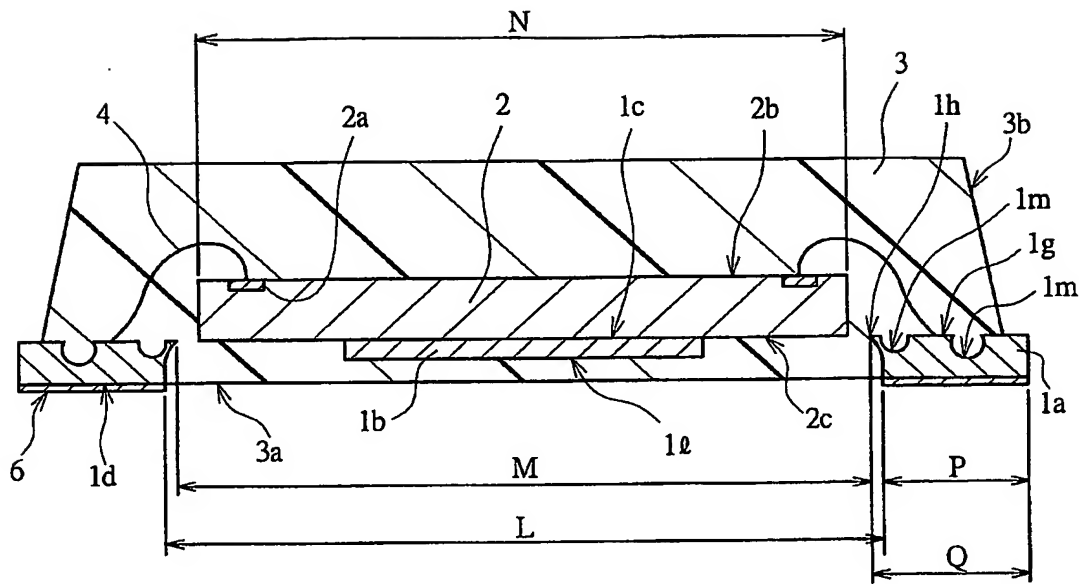
【図 13】

図 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 搭載可能チップサイズの拡大化を図る。

【解決手段】 半導体チップ2が搭載されたタブ1bと、半導体チップ2が樹脂封止されて形成された封止部3と、封止部3の裏面3aの周縁部に露出する被実装面1dとその反対側に配置された封止部形成面1gとを有した複数のリード1aと、半導体チップ2のパッド2aとリード1aとを接続するワイヤ4とからなり、複数のリード1aのうち、対向して配置されたリード1a同士における封止部形成面1gの内側端部1h間の長さ(M)が被実装面1dの内側端部1h間の長さ(L)より長くなるように形成され、これにより、各リード1aの封止部形成面1gの内側端部1hによって囲まれて形成されるチップ搭載領域を拡大することができ、その結果、搭載可能チップサイズの拡大化を図ることができる。

【選択図】 図2

【書類名】 出願人名義変更届（一般承継）  
【整理番号】 H01017851  
【提出日】 平成15年 5月27日  
【あて先】 特許庁長官殿  
【事件の表示】  
    【出願番号】 特願2002-191666  
【承継人】  
    【識別番号】 000233594  
    【氏名又は名称】 株式会社ルネサス北日本セミコンダクタ  
【承継人代理人】  
    【識別番号】 100080001  
    【弁理士】  
    【氏名又は名称】 筒井 大和  
    【電話番号】 03-3366-0787  
【プルーフの要否】 要

認定・付加情報

|         |                 |
|---------|-----------------|
| 特許出願の番号 | 特願 2002-191666  |
| 受付番号    | 50300876588     |
| 書類名     | 出願人名義変更届 (一般承継) |
| 担当官     | 笹川 友子 9482      |
| 作成日     | 平成15年 7月 9日     |

<認定情報・付加情報>

【承継人】

|          |                    |
|----------|--------------------|
| 【識別番号】   | 000233594          |
| 【住所又は居所】 | 北海道千歳市泉沢1.0.07番地39 |
| 【氏名又は名称】 | 株式会社ルネサス北日本セミコンダクタ |

【承継人代理人】

|          |                                     |
|----------|-------------------------------------|
| 【識別番号】   | 100080001                           |
| 【住所又は居所】 | 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 |
| 【氏名又は名称】 | 筒井 大和                               |

特願 2002-191666

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所



特願 2 0 0 2 - 1 9 1 6 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 5 8 3 ]

1. 変更年月日

1 9 9 0 年 9 月 6 日

[変更理由]

新規登録

住 所

山形県米沢市大字花沢字八木橋東 3 の 3 2 7 4

氏 名

日立米沢電子株式会社

特願 2 0 0 2 - 1 9 1 6 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 5 9 4 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 3 1 日

新規登録

住 所  
氏 名

北海道亀田郡七飯町字中島 1 4 5 番地  
日立北海セミコンダクタ株式会社

2. 変更年月日  
[変更理由]

2 0 0 2 年 1 1 月 1 5 日

名称変更

住所変更

住 所  
氏 名

北海道千歳市泉沢 1 0 0 7 番地 3 9  
株式会社北日本セミコンダクタテクノロジーズ

3. 変更年月日  
[変更理由]

2 0 0 3 年 4 月 1 1 日

名称変更

住 所  
氏 名

北海道千歳市泉沢 1 0 0 7 番地 3 9  
株式会社ルネサス北日本セミコンダクタ